

⑪ 公開特許公報 (A)

平1-98305

⑤Int.Cl.⁴

H 03 F 3/45

識別記号

厅内整理番号

⑥公開 平成1年(1989)4月17日

A-6658-5J

審査請求 未請求 発明の数 1 (全9頁)

④発明の名称 差動増幅回路

⑦特 願 昭62-254785

⑧出 願 昭62(1987)10月12日

⑨発明者 谷本洋 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑩出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑪代理人 弁理士 三好保男 外1名

明細書

1. 発明の名称

差動増幅回路

2. 特許請求の範囲

(1) ペアトランジスタの出力端子にそれぞれ負荷抵抗を接続した差動増幅回路において、

前記ペアトランジスタの各出力端子の間に、前記負荷抵抗とともに差動出力に対する負荷として機能して当該負荷抵抗を打消すための負性抵抗を接続したことを特徴とする差動増幅回路。

(2) 前記負荷抵抗の値をRとしたとき、前記負性抵抗の値は $-2R$ であることを特徴とする特許請求の範囲第1項に記載の差動増幅回路。

(3) 前記負性抵抗は、正帰還を施した他の差動増幅回路で構成したものであることを特徴とする特許請求の範囲第1項又は第2項に記載の差動増幅回路。

(4) 前記正帰還を施した他の差動増幅回路は、エミッタ又はソース同士を直接又は抵抗を介して結合したペアトランジスタが備えられ、該ペアトランジ

ジスタにおける一方のトランジスタのベース又はゲートが他方のトランジスタのコレクタ又はドレインに接続され、他方のトランジスタのベース又はゲートが一方のトランジスタのコレクタ又はドレインに接続されたものであることを特徴とする特許請求の範囲第3項に記載の差動増幅回路。

(5) 前記正帰還を施した他の差動増幅回路は、エミッタ又はソース同士を直接又は抵抗を介して結合したペアトランジスタが備えられ、該ペアトランジスタにおける一方のトランジスタのベース又はゲートがレベルシフト回路を介して他方のトランジスタのコレクタ又はドレインに接続され、他方のトランジスタのベース又はゲートが他のレベルシフト回路を介して一方のトランジスタのコレクタ又はドレインに接続されたものであることを特徴とする特許請求の範囲第3項に記載の差動増幅回路。

(6) 前記ペアトランジスタにおけるエミッタ又はソースの接続中点に流れる電流が可変とされ、前記負荷抵抗の値をRとしたとき前記負性抵抗の値

はゼロから-2Rの範囲で可変とされて可変利得とされていることを特徴とする特許請求の範囲第4項又は第5項に記載の差動増幅回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、差動増幅回路に係り、特に单一導電形の能動素子のみで構成することができる高利得の差動増幅回路に関する。

(従来の技術)

差動増幅回路はオペアンプをはじめとするアナログICの基本ビルディングロックとして広く利用されており、その性能としては、一般に増幅度が大きく且つ周波数帯域の広いものが望まれている。

このような差動増幅回路の第1の従来例としては、第13図に示すようなものがある。この従来例は、最も基本的な抵抗負荷の差動増幅回路であり、同図中、Q₁、Q₂はn-p-n形のペアトランジスタ、1は定電流源、2は負電源、ペアトラン

形のトランジスタと比べると周波数特性が極端に悪く、この差動増幅回路では、そのp-n-p形のトランジスタがカレントミラー回路として信号の増幅にあずかっているためである。

即ち、入力端子3への入力信号が、トランジスタQ₁を介して能動負荷を構成しているトランジスタQ₃に伝わり、さらにこのトランジスタQ₃とベースが共通の他のトランジスタQ₄で増幅される。このような増幅経路でp-n-p形のトランジスタを信号が通る。一方、入力端子4への入力信号は、n-p-n形のトランジスタQ₂のみを通る。しかし、出力端子6からは、上記両経路を通った信号の合成されたものが出力されるので、差動増幅回路全体としてはp-n-p形のトランジスタの周波数特性で規制されて周波数帯域が狭くなってしまう。

そこで、増幅度を大きく保つつゝ、周波数帯域の広い差動増幅回路を得るためにには、負荷のp-n-p形トランジスタに信号を通過させなければよい。

第15図は、このような第3の従来例を示すも

シスタQ₁、Q₂のベースがそれぞれ入力端子3、4、コレクタがそれぞれ出力端子5、6であり、さらにコレクタには、それぞれ負荷抵抗7、8が接続され、その各負荷抵抗7、8の他端は正電源9に接続されている。

この差動増幅回路は、負荷が抵抗であるため、周波数帯域は広いが増幅度は余り大きくできないという難点がある。

これに対し、第14図は増幅度を向上させた第2の従来例を示すものであり、広く使用されている差動増幅回路である。この従来例は、2個のp-n-p形トランジスタQ₃、Q₄で構成されたカレントミラー回路が、ペアトランジスタQ₁、Q₂のコレクタに能動負荷として接続されている。

この差動増幅回路は、能動負荷であるカレントミラー回路の作用により、非常に大きな増幅度が実現されている。しかし前記第13図のものとは異なって周波数帯域が狭いという難点がある。これは、一般に用いられているICの製造プロセスで作製されたp-n-p形のトランジスタは、n-p-n

のであり、2個のp-n-p形トランジスタQ₅、Q₆で構成された定電流負荷が、ペアトランジスタQ₁、Q₂のコレクタに接続されている。11は定電流負荷におけるバイアス電圧の印加端子である。

この差動増幅回路によれば増幅度を大きく保つつゝ、広い周波数帯域が実現される。しかし、この回路では、両入力端子3、4が同電位にあるとき、定電流源1によって決まるペアトランジスタQ₁、Q₂のコレクタ電流と、端子11に加えられたバイアス電圧によって決まるトランジスタQ₅、Q₆に流れるべきコレクタ電流とが常に正確に等しくないと、出力端子5、6の電位が正、負電源電圧の中間の適切な値にならず同相信号除去比が劣化する。このことから、第15図に示す差動増幅回路を実際に用いるためには、この回路に同相帰還を施した第16図の(A)、(B)に示すような回路とされている。

即ち、第16図(A)の回路では、両出力端子5、6の間に同相帰還回路12が接続され、前記

第15図の回路における定電流源が可変電流源1aとされている。そして、同相帰還回路12により両出力端子5、6間の同相電圧成分が検出され、これがゼロになるように可変電流源1aが制御されている。このようにして、両出力端子5、6の直流量は、入力端子3、4に加えられる同相電圧に対して殆んど変化しない回路が得られている。

しかし、(可変)アクティプフィルタ等においては、相互コンダクタンス可変の差動増幅回路が必要とされる。このためには、可変電流源1aは相互コンダクタンスを可変とするための手段として使用しなければならず、この場合は、その可変電流源1aを同相帰還のために同時に使用することができなくなる。

そこで、このような場合には、第16図(B)に示す回路を用いることが考えられる。この回路では、同相帰還回路12は、可変電流源1aの制御に代って、定電流負荷を構成しているトランジスタQ₅、Q₆のベースバイアス電圧を制御し、同相入力に対する利得を下げるようしている。

た定電流負荷を備えた第3の従来例では、増幅度を大きく保ちつつ広い周波数帯域幅を有するものが実現できる。しかし、この第3の従来例では同相信号除去比が劣化し易いので、この解決手段として同相帰還回路を付設しなければならず、このためチップ面積が大きくなってしまい、また相互コンダクタンスを可変とするためには制約が生じ、これを解決するためには却って周波数特性の劣化を伴なってしまう。

この発明は上記事情に基づいてなされたもので、抵抗負荷とすることによりn p n形の単一導電形のトランジスタのみで構成することができて、優れた同相信号除去比を維持できるとともに周波数帯域幅を広くすることができ、さらに増幅度を大きくすることのできる差動増幅回路を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

この発明は上記問題点を解決するために、ペアトランジスタの出力端子にそれぞれ負荷抵抗を

しかし、この回路は、同相帰還回路12で制御されるトランジスタQ₅、Q₆が非常に大きな利得を持ち且つD n D形であるためにその周波数特性が悪く、同相帰還を安定にかけるためには大きな容量の位相補償キャパシタ13、14を付加しなければならないという難点がある。そしてさらに、これらの位相補償キャパシタ13、14は、差動増幅回路の負荷となるので、却って周波数特性を劣化させることになり、元来、キャパシタを必要とする積分回路等に応用する場合以外は、非常に不都合であった。

(発明が解決しようとする問題点)

抵抗負荷を備えた第1の従来例では、周波数帯域は広いが増幅度を余り大きくすることができない。また、D n D形トランジスタで構成されたカレントミラー回路を能動負荷とした第2の従来例では、非常に大きな増幅度が実現されるが周波数特性の悪いD n D形トランジスタが信号の増幅にあずかっているため、周波数帯域が狭くなってしまう。さらにD n D形トランジスタで構成され

接続した差動増幅回路において、前記ペアトランジスタの各出力端子の間に、前記負荷抵抗とともに差動出力に対する負荷として機能して当該負荷抵抗を打消すための負性抵抗を接続することを要旨とする。

(作用)

負荷を抵抗とすることにより、n p n形の単一導電形のドランジスタのみで構成することができて周波数特性が良好となり広い周波数帯域幅が実現される。また、ペアトランジスタの各出力端子間に接続された負性抵抗により差動出力成分に関してのみ負荷抵抗が打消され、見掛上非常に大きな負荷抵抗として機能するので増幅度の増大が図られる。

一方、負性抵抗は前記のようにペアトランジスタの各出力端子間に接続されているので、同相出力成分に対しては何ら寄与せず、抵抗負荷の差動増幅回路が本来有する優れた同相信号除去比がそのまま維持される。

(実施例)

以下、この発明の実施例を図面に基づいて説明する。

まず、第1図及び第2図を用いて各実施例の基本構成とその作用から説明する。

なお、第1図、第2図及び後述の各実施例を示す図において、前記第13図における回路素子等と同一ないし均等のものは、前記と同一符号を以って示し、重複した説明を省略する。

第1図に示すように、その基本構成は、ペアトランジスタ Q_1 、 Q_2 の各コレクタ、即ち、出力端子5、6の間に、差動出力に対する負荷として機能して負荷抵抗7、8を打消すための負性抵抗15が接続されている。

次いで、この基本回路の動作を第2図の(A)、(B)を用いて説明する。第2図(A)は、差動信号のみに対する等価回路(ディファレンシャル・ハーフサーキット)である。同図中、15aは、その絶対値が負荷抵抗7の抵抗値の1/2の値を有する負性抵抗である。第2図(A)の回路から明らかのように、負性抵抗15aの値が、負荷抵抗

抗7の値を丁度打消すように選ばれていると、トランジスタ Q_1 の負荷は無限大の抵抗となり、結果的に前記第15図に示した定電流負荷を用いた場合と同様になって非常に大きな増幅度が実現される。このためには負荷抵抗7の値をRとしたとき、負性抵抗15aの値は、-Rに選ばれる。但し、負性抵抗15aの絶対値が、負荷抵抗7の抵抗値Rより大きくなると合成された負荷抵抗が負になり、回路動作が不安定となるので、負性抵抗15aの絶対値は、Rより小なる範囲で且つRに近い値とされる。

一方、第2図(B)は、同相信号のみに対する等価回路(コモンモード・ハーフサーキット)を示している。同図中、16は、第1図の基本回路における定電流源1の内部抵抗 R_{ee} の2倍の値をもった抵抗であり、通常用いられる負荷抵抗7の抵抗値Rに比べて非常に大きな抵抗値を有している。その抵抗値は、例えば数 $10\text{ K}\Omega$ ~ 数 $\text{M}\Omega$ 程度の値である。したがって同相信号に対するこの回路の増幅度は非常に小さなものとなる。

このように、この実施例の差動増幅回路は格別の同相帰還回路を設けなくても同相信号除去比が非常に大きく、且つ差動信号に対しては非常に大きな増幅度が実現される。

次に、第3図～第5図には、この発明の第1実施例を示す。この実施例は、前記基本回路における負性抵抗を、正帰還を施した差動増幅回路で構成したものである。第3図中、17は正帰還を施した差動増幅回路、18は、そのエミッタディジエネレーション抵抗(終端抵抗)である。

第4図は、上記の正帰還を施した差動増幅回路17の具体的回路例を示している。第4図中、22、23は第1の端子対、 Q_7 、 Q_8 はn-p-n形のペアトランジスタ、19、21は第2の端子対であり、ペアトランジスタ Q_7 、 Q_8 のエミッタ同士は、第2の端子対19、21に接続された終端抵抗18を介して結合されている。また、ペアトランジスタにおける一方のトランジスタ Q_7 のベースは他方のトランジスタ Q_8 のコレクタに接続され、他方のトランジスタ Q_8 のベースは一方

のトランジスタ Q_7 のコレクタに接続されている。24、25、26、27はそれぞれ定電流11の定電流源である。

上述のように、第4図の回路は、終端抵抗18でエミッタディジエネレーションされた差動増幅回路の2個のトランジスタ Q_7 、 Q_8 のベース入力端子を互いに他のトランジスタのコレクタ出力端子に接続しているので、これにより正帰還回路が構成され、正帰還を施す前の差動増幅回路の相互コンダクタンスが十分に大きければ、出力端子である第1の端子対22、23から正帰還差動増幅回路をみた入力抵抗は、終端抵抗18の値を-1倍した値となる。そしてこの正帰還差動増幅回路自体では不安定であるが、正の抵抗を有する回路で第1の端子対22、23の間を終端し、正味の抵抗が正になるようすれば安定な動作が行なわれる。

第5図は、上記第4図の正帰還差動増幅回路による負性抵抗を、前記第3図の回路に組入れた回路を示すものである。同図で、定電流源26、2

7は、正帰還差動増幅回路17にバイアス電流を供給するものなので、この場合は負荷抵抗7、8が存在するから、この定電流源26、27は省略することができる。

ところで、第5図の回路では、出力端子5、6間の差動出力電圧が大きくなると、正帰還差動増幅回路17内のペアトランジスタ Q_7 、 Q_8 が飽和し、或る値(約0.6V)までに差動出力が制限されてしまうという欠点がある。しかし、この実施例のような高利得の差動増幅回路は、増幅器の初段に用いられる場合が多く、さらに、その場合には、増幅器に負帰還が施されることが多いので、初段の出力振幅は非常に小さくなり、実用上、上記の欠点が問題となることは少ない。

しかるに、この実施例の差動増幅回路は、入出力インピーダンスが大きいので、トランスコンダクタンスとしても利用することができ、例えばキャパシタを負荷として積分器を構成し、アクティプフィルタ等に用いることも可能である。そして、このような場合には、できるだけ出力振幅が大き

タのベース・エミッタ電圧を増幅するようにしたもの、同図④は単なる抵抗である。

第8図は、この第2実施例において、レベルシフト回路28、29を、ダイオード接続した1個のトランジスタで実現した例を示すものである。この回路例では約1.2Vの出力振幅が得られる。

また、この実施例の差動増幅回路は、前記第2図(A)で説明したように、差動出力に関しては、負荷抵抗が打消されているので、出力インピーダンスはトランジスタ Q_1 の出力抵抗のみとなり、非常に大きくすることができる。実際には、負性抵抗を発生させる回路に用いるトランジスタの出力抵抗も残るので、上記よりは出力抵抗は低下するが、それでもなお非常に大きな値とすることができます。しかし製造ばらつきにより出力抵抗は変化するので、前述の不安定の問題のため、完全に打消すのは実際には得策ではない。

一方、この実施例の差動増幅回路の入力インピーダンスは、ペアトランジスタ Q_1 、 Q_2 がエミッタ接地回路であるため、比較的大きく、トラン

シ取れる方が望ましい。

第6図は、このような点に鑑みて考えられた第2実施例を示す図である。第6図中、28、29はレベルシフト回路であり、このレベルシフト回路28、29によって正帰還差動増幅回路17内のペアトランジスタ Q_7 、 Q_8 のベース電圧よりもコレクタ電圧が高くなるようにすることにより、前述の出力振幅が、レベルシフト回路28、29でシフトされた電圧分だけ大にされる。

このレベルシフト回路28、29として内部抵抗の過度に大きくなきものを用いる場合は、第6図中×印で示す箇所を切開き、点線で示す部分を接続しても、回路動作は直流動作点が若干変わるもので、本質的には同じである。したがって、このような接続変更を行なった場合、レベルシフト回路28、29としては、第7図の①～④に例示したような簡単な構成のものを使うことができる。同図④は電池、同図③は1個以上のダイオードを直列接続したもの、同図②はダイオードの代りにトランジスタを用いたもの、同図①はトランジス

トコンダクタンスとして利用するのに都合がよい。

第9図は、この発明の第3実施例を示すものであって、前記第8図(第2実施例)の回路に容量組がCのキャパシタ31を負荷として接続したものであり、ペアトランジスタ Q_1 、 Q_2 の共通エミッタの定電流源を制御可能な電流源1b(電流値を21qとする)としたものである。

この差動増幅回路の入力端子3、4間の電圧から出力端子5、6間の電流までのトランスコンダクタンスgmは、

$$gm = Iq / Vt \quad \dots (1)$$

但し $Vt = kT/q$ 、qは電子の電荷、kはボルツマン定数、Tは絶対温度

であるから、入力端子3、4間の入力電圧をVinとすると、出力端子5、6間の出力電圧Voutは、

$$\begin{aligned} V_{out} &= gm \cdot Vin / sC \\ &= (1/sC) \cdot (Iq/Vt) \cdot Vin \quad \dots (2) \end{aligned}$$

となり、Vinを積分したものとなる。このとき、

この積分回路の時定数は

$$C \cdot V_t / I_a$$

であるから、共通エミッタの電流源 1 b を変化させることにより、集積化アクティプフィルタ等に好適な時定数可変の積分器が実現できる。

さらに、第 9 図の差動増幅回路は、積分キャパシタを小さく形成できるという利点も併せ持っている。即ち、前記第 16 図 (B) に示した回路では、積分器として動作させると、積分キャパシタを位相補償兼用として 13、14 のような位置に挿入せざるを得ず、したがって実効的な積分容量は、実際に挿入したキャパシタの直列となり、 $1/2$ に減少してしまう。このため、所望の積分時定数を得るために、第 9 図の回路の 2 倍の面積のキャパシタを要することになる。したがって、第 3 実施例である第 9 図の回路はチップ面積の点からも有利である。

次いで、第 10 図には、この発明の第 4 実施例を示す。この実施例は、前記第 8 図 (第 2 実施例) における終端抵抗 18 が短絡され、ペアトランジ

とができる。即ち、負性抵抗の値がゼロから $-2R$ の範囲で可変されて電気的に増幅度可変の差動増幅回路が実現される。

第 11 図には、この発明の第 5 実施例を示す。同図中、33 は前記第 9 図 (第 3 実施例) の回路を利用した第 1 の積分回路、34 は前記第 10 図 (第 4 実施例) の回路の出力端子間にキャパシタ 35 を接続した第 2 の積分回路であり、この両積分回路を図示の如く接続して組合わせ、入力信号 36 をキャパシタ 37、38 を介して第 1、第 2 の積分回路 33、34 に結合させると、5、6 を出力端子とするバンドバスフィルタを構成することができる。このバンドバスフィルタは、可変電流源 32 の電流を変化させることによって Q 値を変化させることができるので、アダプティブフィルタ等への応用に好適なものである。

上述したように、各実施例において適用した負性抵抗を実現する手段としての正帰還差動増幅回路は、n p n 形トランジスタ (又は n チャネル F E T) のみで構成できるように考慮されているの

スタ Q₁、Q₂ の共通エミッタに可変電流源 32 が接続されている。そして、この回路では終端抵抗が短絡されているため、出力端子 5、6 から負性抵抗発生用の正帰還差動増幅回路 17 をみた入力インピーダンスは、その正帰還差動増幅回路 17 内のペアトランジスタ Q₇、Q₈ の相互コンダクタンス g_m で決まる。

即ち、ペアトランジスタ Q₇、Q₈ の共通エミッタに接続された可変電流源 32 の電流値を I とすると、ペアトランジスタ Q₇、Q₈ の g_m は $I/2V_t$ であり、ペアトランジスタ Q₇、Q₈ からみた入力インピーダンス R は、 $1/g_m$ が直列になったものであるので、

$$R = -4V_t/I$$

となる。即ち、可変電流源 32 の電流値に逆比例したものとなる。したがってペアトランジスタ Q₁、Q₂ で構成されている差動増幅回路の負荷は

$$R \cdot r / (R + r)$$

であるから、 $|r| < R$ の範囲で、可変電流源 32 の電流 I を変化させることによって制御するこ

で、各実施例に係る差動増幅回路は、その全体を n p n 形トランジスタ (又は n チャネル F E T) のみで構成することができて、広い周波数帯域幅を実現することができる。

なお、上述の各実施例の説明において、差動増幅回路におけるペアトランジスタ Q₁、Q₂ はエミッタ同士を直接結合させたエミッタカップルドペアとしたが、第 12 図の (A) (B) に示すように、エミッタ同士を抵抗 39 又は 39a、39b を介して結合したいわゆるエミッタディイジェネレーションタイプのものとすることもできる。但し得られる増幅度は低下する。また、負性抵抗発生手段としての正帰還差動増幅回路は、第 12 図 (A) のタイプの回路を用いた例で説明したが、同図 (B) の形式の回路でも同様の作用効果が得られる。

さらに能動素子としては、バイポーラトランジスタを用いて説明したが、F E T を用いても同様の作用効果が得られる。特に、單一チャネルの能動素子で構成することができることから、元々、

单一チャネルのデバイスしか利用することのできないnMOSプロセスや、GaAsMESFETプロセス等においては、差動増幅回路設計の自由度が著しく増すことになり、性能のみならず回路規模の低下にも有効であるため、経済的にも有利性が得られる。また、何らかの理由によりpnp形のトランジスタのみで差動増幅回路を構成する必要がある場合には、周波数特性の点では劣るが、上記の各実施例において電流の向き等を逆転するのみで簡単な変更により全pnp形又はpチャネル形とすることが可能である。

[発明の効果]

以上説明したように、この発明によれば、負荷が抵抗とされ、周波数特性の良好なnpn形又はpチャネル形の单一導電形の能動素子のみで構成することができる、広い周波数帯域幅が実現され、また、負性抵抗により差動出力成分に関してのみ負荷抵抗が打消されて見掛け上非常に大きな負荷抵抗となるので、優れた同相信号除去比が維持できるとともに増幅度を顕著に増大させること

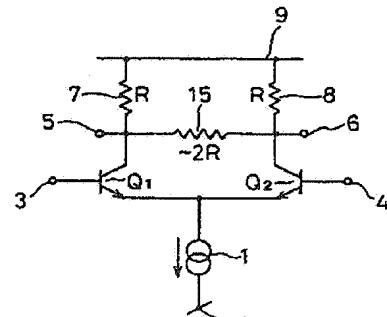
ができるという利点がある。

4. 図面の簡単な説明

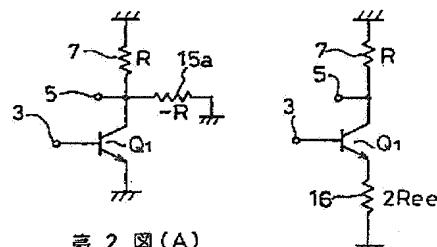
第1図はこの発明に係る差動増幅回路の基本的構成を示す回路図、第2図は同上差動増幅回路の作用を説明するための要部等価回路を示す回路図、第3図はこの発明の第1実施例を示す回路図、第4図は同上第1実施例における負性抵抗発生用の正帰還差動増幅回路を示す回路図、第5図は同上正帰還差動増幅回路を第3図の回路に組入れた状態を示す回路図、第6図はこの発明の第2実施例を示す回路図、第7図は同上第2実施例に適用するレベルシフト回路例を示す回路図、第8図は第6図の回路に第7図のレベルシフト回路を組入れた状態を示す回路図、第9図はこの発明の第3実施例を示す回路図、第10図はこの発明の第4実施例を示す回路図、第11図はこの発明の第5実施例を示す回路図、第12図は各実施例に適用することのできるエミッタディイジェネレーション回路を示す回路図、第13図は差動増幅回路の第1の従来例を示す回路図、第14図は第2の従来

例を示す回路図、第15図及び第16図は第3の従来例を示す回路図である。

- 3、4：入力端子、 5、6：出力端子、
- 7、8：負荷抵抗、 15：負性抵抗、
- 17：負性抵抗発生用の正帰還を施した差動増幅回路、
- 28、29：レベルシフト回路、
- 32：可変電流源、
- Q_1 、 Q_2 ：差動増幅回路を構成するペアトランジスタ。

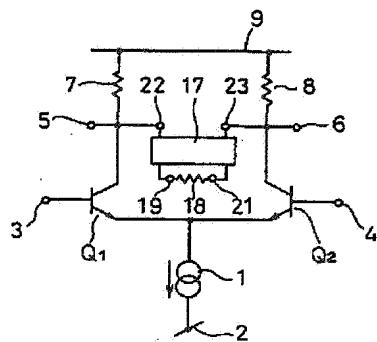


第1図

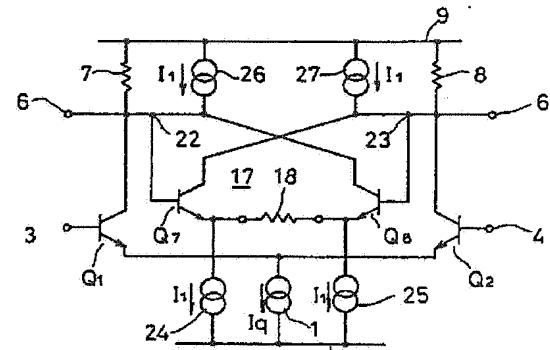


第2図(A)

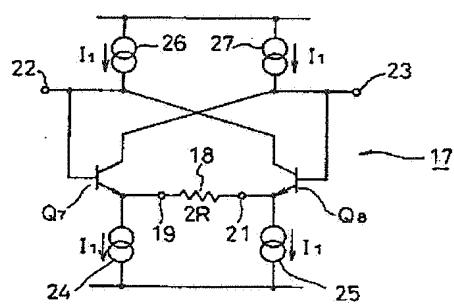
第2図(B)



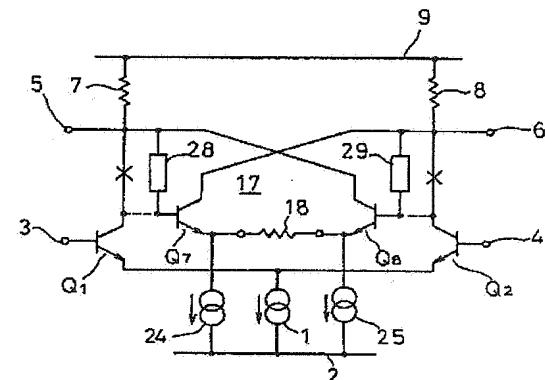
第3図



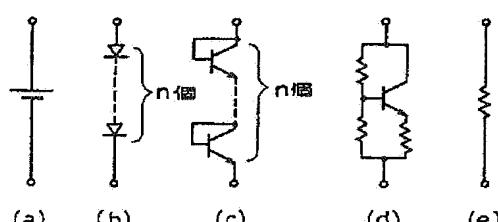
第5図



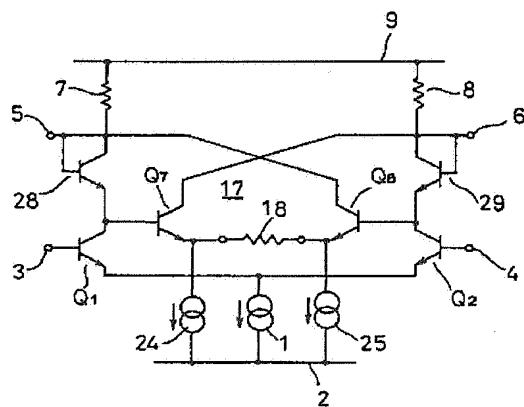
第4図



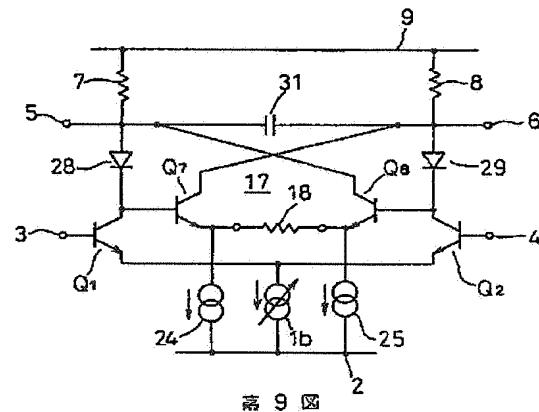
第6図



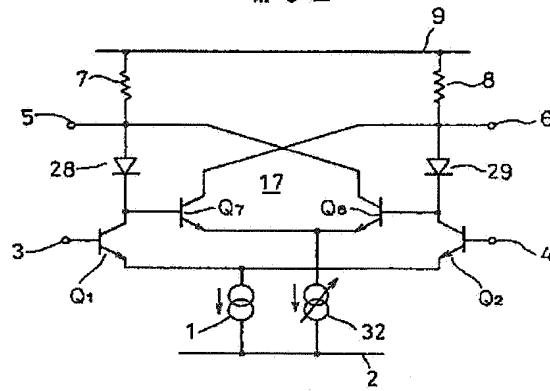
第7図



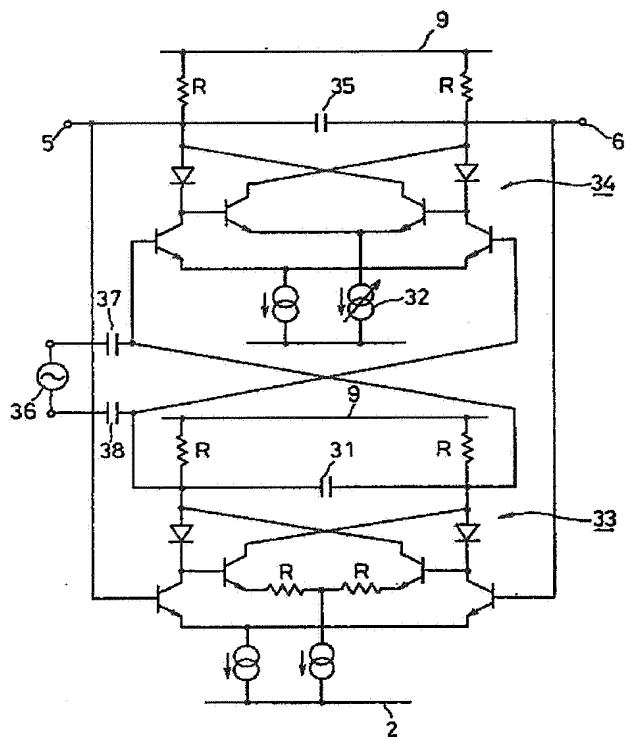
第8図



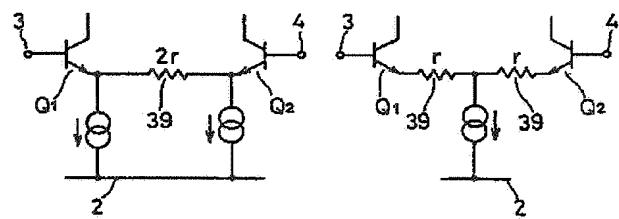
第9図



第10図

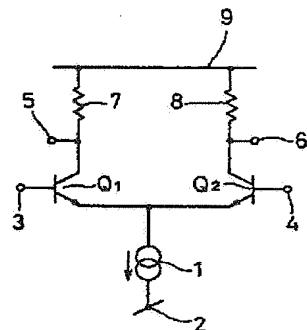


第11図

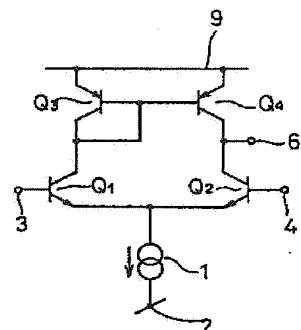


第12図(A)

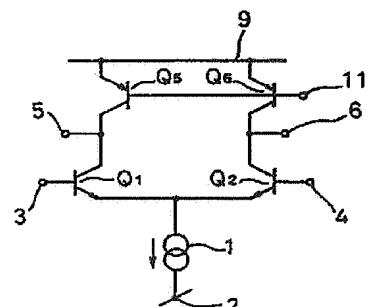
第12図(B)



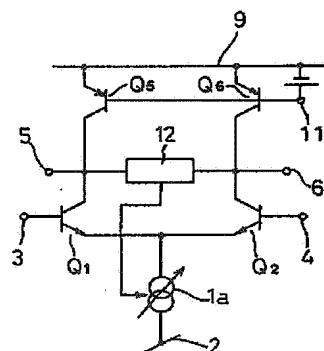
第13図



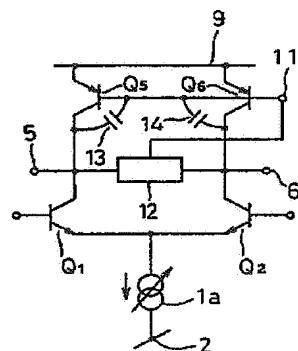
第14図



第15図



第16図(A)



第16図(B)